
微电子所在SOT-MRAM的关键集成技术领域获进展

作者：writer 来源：中国科学院

本文原地址：<https://www.iikx.com/news/progress/22156.html>

本文仅供学习交流之用，版权归原作者所有，请勿用于商业用途！

微电子所在SOT-MRAM的关键集成技术领域获进展

磁随机存储器（MRAM）因具有非易失性、低功耗以及高访问速度等特点，在未来新兴存储领域颇具应用前景。尤其是基于自旋轨道矩（SOT）技术的MRAM存储器具有超高速、高耐久性的优势，更适用于高速缓存。然而，在SOT-MRAM集成中存在技术瓶颈，制约了其走向应用。隧道结的刻蚀工艺是关键的技术挑战和难点之一。在SOT隧道结（SOT-MTJ）刻蚀过程中，金属副产物的反溅使得MTJ的MgO隧穿势垒层（厚度~1 nm）短路，从而造成较低的器件良率。半导体研发机构和企业对SOT-MRAM刻蚀工艺上开展了研究，提供了良好的解决思路，而SOT-MRAM的刻蚀工艺依然是业界面临的重要技术挑战。

为了更好地解决SOT-MRAM的刻蚀技术难题以实现SOT-MTJ的高密度片上集成，同时探讨不同的刻蚀工艺对器件磁电特性的影响，中国科学院微电子研究所集成电路先导工艺研发中心研究员罗军课题组开发出基于垂直磁各向异性SOT-MTJ的刻蚀“停MgO”工艺（SOMP-MTJ）。该工艺有效地解决了SOT-MRAM制造中的刻蚀短路问题。传统的SOT-MTJ刻蚀方法（NSOMP-MTJ）使刻蚀停止在底电极上（图1a、b），在刻蚀过程中MgO层极易附着金属，造成器件短路。刻蚀“停MgO”工艺使MTJ刻蚀终点精确地停止在~1 nm厚的MgO层上（图1c、d）。由于隧穿层MgO的侧壁从未暴露，从而避免了MgO层的短路。利用“停MgO”刻蚀工艺制备的SOT-MTJ器件阵列，晶圆的电阻良率可提升至100%，同时提高了器件的TMR、电阻、矫顽力等关键参数的均匀性（图2a、b）。另外，“停MgO”器件具有更高的热稳定性、更低的翻转电流密度以及高达1 ns的翻转速度（图2c、d）。该成果为高速、低功耗、高集成度SOT-MRAM的刻蚀技术问题提供了关键解决方案。

相关研究成果以*Enhancement of Magnetic and Electric Transport Performance of Perpendicular Spin-Orbit Torque Magnetic Tunnel Junction by Stop-on-MgO Etching Process*为题，发表在《电子器件快报》（*IEEE Electron Device Letters*）上。研究工作得到科技部、国家自然科学基金、中科院等的支持。

[论文链接](#)

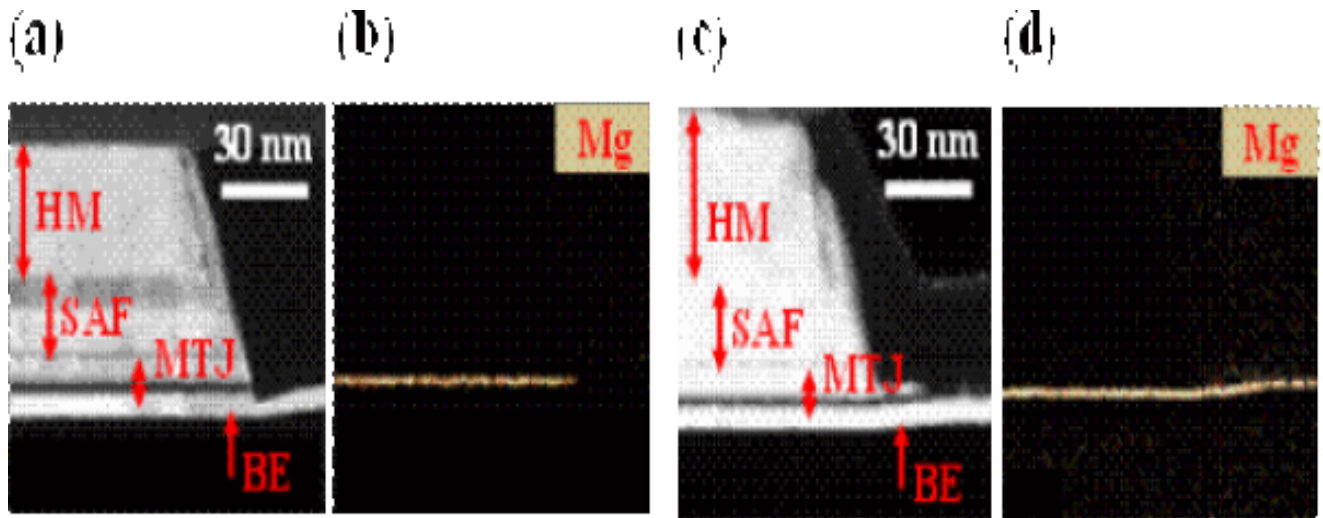


图1. (a) “停底电极”器件TEM图，(b) “停底电极”器件EDS图，(c) “停MgO”器件TEM图，(d) “停MgO”器件EDS图。

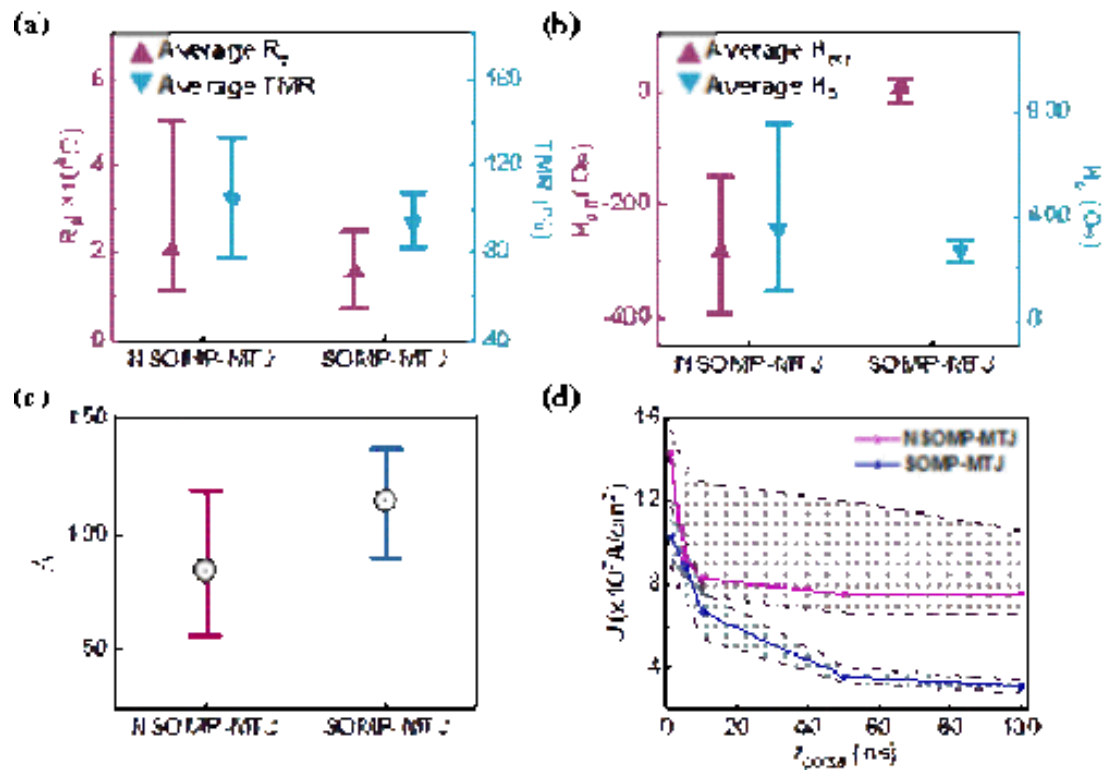


图2. “停底电极”器件 (NSOMP-MTJ) 和 “停MgO” 器件 (SOMP) 磁电特性对比结果。(a) TMR、 R_p ，(b) 偏置场 H_{off} 、矫顽场 H_c ，(c) 热稳定性因子，(d) 翻转电流密度的性能对比。

研究团队单位：微电子研究所

更多 科学进展 请访问 <https://www.iikx.com/news/progress/>

本文版权归原作者所有，请勿用于商业用途，[爱科学iikx.com](https://www.iikx.com)转发