

---

# 科学家首次攻克大数据排序存算一体硬件系统

作者：writer 来源：科学网

本文原地址：<https://www.iikx.com/news/progress/34365.html>

*本文仅供学习交流之用，版权归原作者所有，请勿用于商业用途！*

科学家首次攻克大数据排序存算一体硬件系统。排序作为最基础、最常用的计算范式之一，广泛应用于人工智能、搜索引擎、路径规划、数据库等众多关键任务中。由于排序本质上的高度非线性，传统硬件通常依赖复杂的比较器网络和频繁的主存访问，在大数据时代愈发受限于带宽、能效、面积瓶颈。近年来，存算一体技术基于忆阻器的存算一体架构，因其高密度、多电导态和高能效等突出优势，已成为突破传统存算分离架构瓶颈最具潜力的方向之一。然而，排序等非线性计算因其高度依赖复杂比较器网络，一直被视为存算一体领域最难攻克的挑战之一。

记者从北京大学深圳研究生院了解到，北京大学信息工程学院、广东省存算一体芯片重点实验室杨玉超团队在国际上首次实现了面向高复杂度排序任务的存算一体化硬件系统，提出了一个全新的、无需比较器的排序硬件架构，成功打破了存算一体技术难以处理排序等非线性计算的限制，标志着该领域实现从线性矩阵计算向非线性复杂任务的重大突破。相关研究成果发表在《自然—电子》上。

在这项工作中，研究团队首次构建了一个基于1T1R忆阻器阵列、无需比较器的存算一体排序软硬件一体系统。研究人员提出了忆阻器阵列位读取机制，通过并行读取高位至低位逐步定位当前的最小或最大值，配合存算一体电路，彻底颠覆了传统基于比较-选择的排序架构与流程。

在此基础上，研究团队进一步提出了树节点跳排序算法及其硬件架构，利用遍历路径与信息复用，显著减少了冗余操作，大幅提升了存算一体化排序效率。为应对更加复杂的实际排序应用场景，研究人员还设计了三种跨阵列的扩展策略：多阵列策略支持大量数据按数分阵列进行并行处理，位分区策略将位宽拆分到多个阵列实现数字流水并行，多电导策略则利用忆阻器的多电导态特性提升单元内并行度。这三种创新策略可根据具体排序应用需求灵活配置、组合使用，形成了一套针对可变数据位宽的完整存算一体排序硬件加速方案。

研究人员验证了存算一体排序软硬件一体系统在多种典型排序任务中的优越性能。实验结果显示，相较于当前主流ASIC排序系统，该系统在5类代表性数据集上实现了高达7.70倍的速度提升、160.4倍的能效提升和32.46倍的面效率提升，充分展现出存算一体架构在大数据排序场景中的巨大潜力。

此外，研究团队还验证了该系统的实用性与通用性。他们在Dijkstra路径规划应用中，基于树节点跳跃排序系统成功实现了北京地铁16个站点之间的最短路径求解，不仅保持运算准确性，还大幅降低延迟和功耗。在神经网络推理中，团队将树节点跳跃排序算法与忆阻器矩阵向量乘法计算融合，在PointNet++网络上实现了实时原位稀疏，可根据推理精度需求灵活控制稀疏度，提升系统效率并同时降低计算开销。相较于传统ASIC排序系统，该系统可以提升15倍的速度和67.1倍的

---

能效。（来源：中国科学报 刁雯蕙）

相关论文信息：<https://doi.org/10.1038/s41928-025-01405-2>

作者：杨玉超等 来源：《自然—电子》

更多 科学进展 请访问 <https://www.iikx.com/news/progress/>

本文版权归原作者所有，请勿用于商业用途，[爱科学iikx.com](https://www.iikx.com)转发