
高性能时钟芯片研究取得进展

作者：writer 来源：中国科学院

本文原地址：<https://www.iikx.com/news/progress/37206.html>

本文仅供学习交流之用，版权归原作者所有，请勿用于商业用途！

高性能时钟芯片研究取得进展

。5.5G/6G无线通信技术的迭代演进及下一代串行接口向更高传输速率突破，对毫米波本振时钟抖动性能提出了更严苛的要求。亚采样锁相环凭借其高鉴相增益的优势，成为低抖动时钟芯片的主流解决方案，但仍面临挑战。

中国科学院微电子研究所与清华大学合作，提出双边沿乒乓亚采样锁相环架构。该架构同时利用参考时钟的上升沿与下降沿，实现了参考频率的等效倍频，解决了传统亚采样锁相环在环路带宽、带内相位噪声与参考杂散之间存在的设计折衷难题。团队还提出高功率与面积效率的注入锁定缓冲器方案，该结构在高效提取振荡器二次谐波的同时能够实现谐波整形，降低了锁相环带外相位噪声。

基于上述两种技术，团队采用65nm CMOS工艺设计了一款K波段锁相环时钟芯片，输出频率覆盖22.4GHz至25.6GHz，整体功耗低于18mW，RMS积分抖动优于50fs，其抖动—功耗优值达到-254 dB以下。

相关研究成果在线发表在《IEEE固态电路学报》（IEEE Journal of Solid-State Circuits）上。研究工作得到国家自然科学基金的支持。

[论文链接](#)

乒乓亚采样锁相环电路结构

研究团队单位：微电子研究所

更多 科学进展 请访问 <https://www.iikx.com/news/progress/>

本文版权归原作者所有，请勿用于商业用途，[爱科学iikx.com](http://www.iikx.com)转发