
科学家研发共形六方氮化硼修饰技术

作者：黄辛 来源：科学网

本文原地址：<https://www.iikx.com/news/progress/4304.html>

本文仅供学习交流之用，版权归原作者所有，请勿用于商业用途！

科学家研发共形六方氮化硼修饰技术。复旦大学聚合物分子工程国家重点实验室魏大程团队经过3年努力，研发成功共形六方氮化硼修饰技术。3月13日，相关研究成果在线发表于《自然—通讯》。专家认为，这项工作将有望为解决芯片散热问题提供一种介电基底修饰的新技术。

随着半导体芯片的不断发展，运算速度越来越快，芯片发热问题愈发成为制约芯片技术发展的瓶颈，热管理对于开发高性能电子芯片至关重要。

为此，研究人员开发了一种共形六方氮化硼修饰技术，在最低温度300摄氏度的条件下，无需催化剂直接在二氧化硅/硅片(SiO_2/Si)、石英、蓝宝石、单晶硅，甚至在具有三维结构的氧化硅基底表面生长高质量六方氮化硼薄膜。共形六方氮化硼具有原子尺度清洁的范德瓦尔斯介电表面，与基底共形紧密接触，不用转移，可直接应用于二硒化钨等半导体材料的场效应晶体管。这也是六方氮化硼在半导体与介电衬底界面热耗散领域的首次应用。

据介绍，芯片散热很大程度上受到各种界面的限制，其中导电沟道附近的半导体和介电基底界面尤其重要。六方氮化硼是一种理想的介电基底修饰材料，能够改善半导体和介电基底界面。然而，六方氮化硼在界面热耗散领域的潜在应用则往往被忽视。

在这项技术中，共形六方氮化硼是直接在材料表面生长的，不仅完全贴合、不留缝隙，还无需转移。魏大程研究员说。这项技术将从崭新的角度为解决芯片散热问题提供新思路。

魏大程介绍说，共形六方氮化硼修饰后，二硒化钨场效应晶体管器件迁移率从2~21平方厘米每伏秒提高到56~121平方厘米每伏秒；界面热阻($\text{WSe}_2/\text{h-BN}/\text{SiO}_2$)低于 4.2×10^{-8} 平方米开尔文每瓦，比没有修饰的界面($\text{WSe}_2/\text{SiO}_2$)降低了 4.55×10^{-8} 平方米开尔文每瓦。器件工作的最大功率密度提高了2~4倍，达到 4.23×10^3 瓦每平方厘米，高于现有电脑CPU工作的功率密度(约瓦每平方厘米)。

专家表示，这一技术具有普适性，不仅可以应用于基于二硒化钨材料的晶体管器件，还可以推广到其他材料和更多器件应用中。

更多 科学进展 请访问 <https://www.iikx.com/news/progress/>

本文版权归作者所有，请勿用于商业用途，[爱科学iikx.com](http://iikx.com)转发