新型垂直纳米环栅器件研究取得进展

作者：writer 来源：爱科学

本文原地址：https://www.iikx.com/news/progress/7601.html

本文仅供学习交流之用，版权归原作者所有，请勿用于商业用途！

新型垂直纳米环栅器件研究取得进展。垂直纳米环栅晶体管是集成电路2纳米及以下技术代的主要候选器件，但其在提高器件性能和可制造性等方面面临着众多挑战。在2018年底举办的国际集成电路会议IEDM上，来自IMEC的Ryckaert博士将垂直纳米器件的栅极长度及沟道与栅极相对位置的控制列为关键挑战之一。

中国科学院微电子研究所先导中心研究员朱慧珑及其课题组从2016年起针对相关基础器件和关键工艺开展了系统研究，提出并实现了世界上首个具有自对准栅极的叠层垂直纳米环栅晶体管（Vertical Sandwich Gate-All-Around FETs或VSAFETs），获得多项中、美发明专利授权，研究成果近日发表在国际微电子器件领域期刊IEEE Electron Device Letters上（DOI: 10.1109/LED.2019.2954537）。

朱慧珑课题组系统地研发了一种原子层选择性刻蚀锗硅的方法，结合多层外延生长技术将此方法用于锗硅/硅超晶格叠层的选择性刻蚀，从而精确地控制纳米晶体管沟道尺寸和有效栅长；首次研发出了垂直纳米环栅晶体管的自对准高k金属栅后栅工艺；其集成工艺与主流先进CMOS制程兼容。课题组最终制造出了栅长60纳米、纳米片厚度20纳米的p型VSAFET。原型器件的SS、DIBL和电流开关比（Ion/Ioff）分别为86mV/dec、40mV和1.8×105。（来源：中国科学院微电子研究所）

相关论文信息：DOI: 10.1109/LED.2019.2954537

特别声明：本文转载仅仅是出于传播信息的需要，并不意味着代表本网站观点或证实其内容的真实性；如其他媒体、网站或个人从本网站转载使用，须保留本网站注明的“来源”，并自负版权等法律责任；作者如果不希望被转载或者联系转载稿费等事宜，请与我们接洽。
作者：朱慧珑等 来源：《电子器件快报》

更多 科学进展 请访问 https://www.iikx.com/news/progress/

本文版权归原作者所有，请勿用于商业用途，爱科学iikx.com转发