高密度半导体阵列碳纳米管研究获突破

作者：writer 来源：爱科学

本文原地址：https://www.iikx.com/news/progress/9727.html

本文仅供学习交流之用，版权归原作者所有，请勿用于商业用途！

高密度半导体阵列碳纳米管研究获突破。

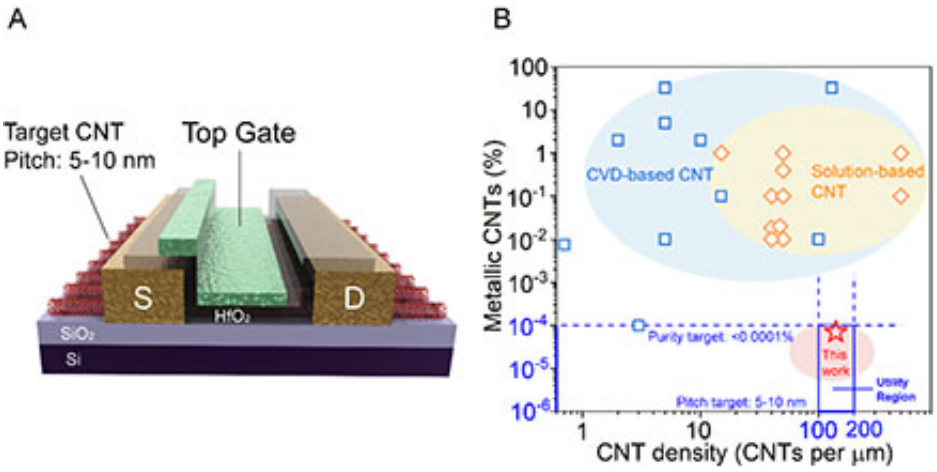


图1 大规模集成电路对碳管材料的要求

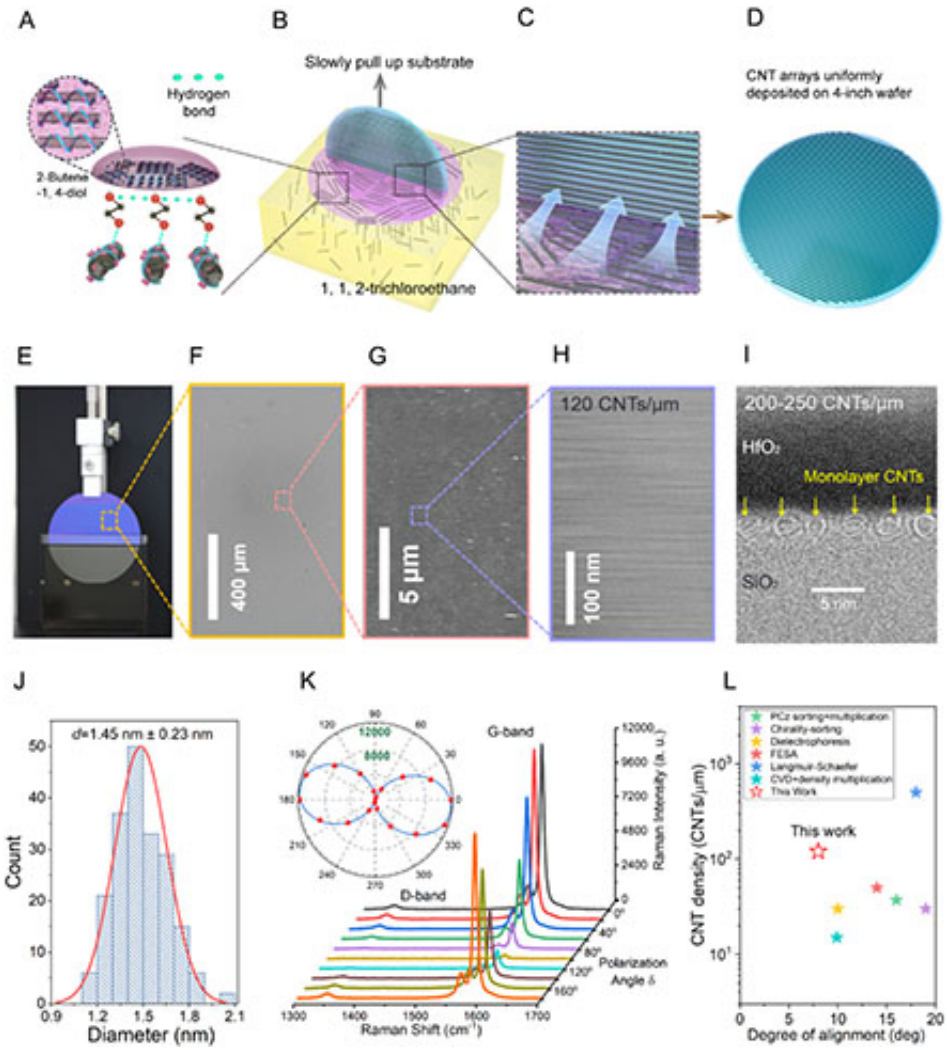


图2 高密度、高纯度半导体碳管阵列的制备和表征

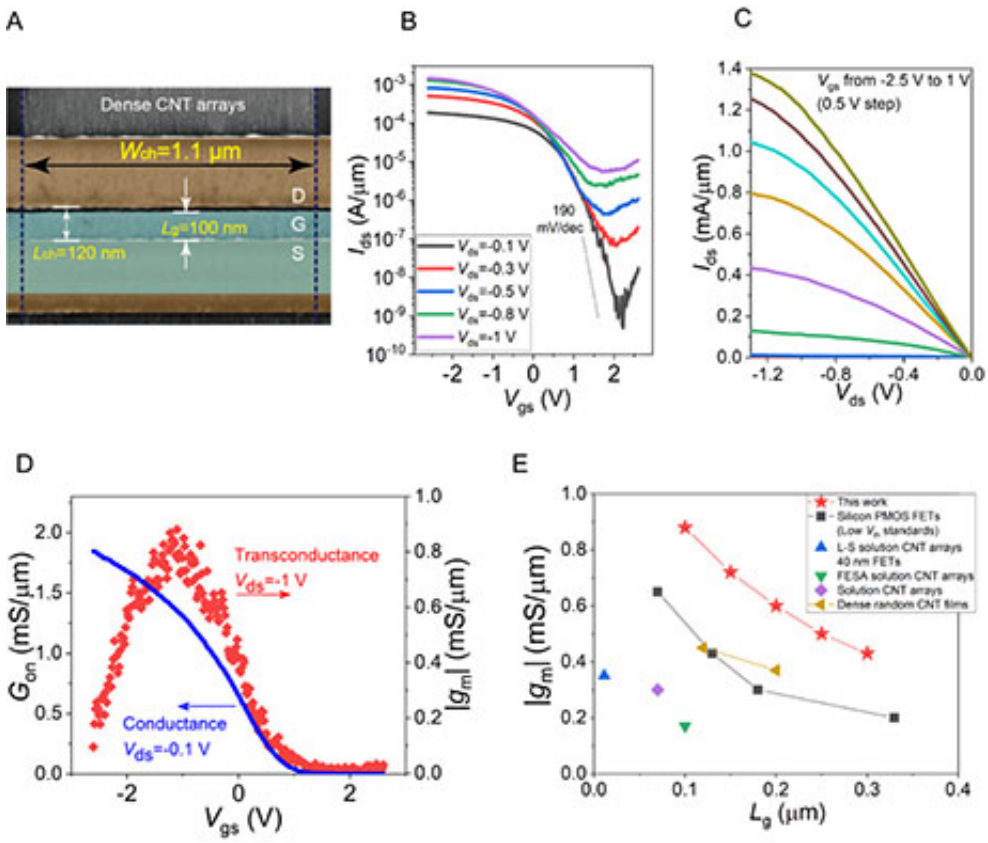

A
Dense CNT arrays
Wch=1.1 μm
D
Lg=100 nm
G
Lch=120 nm
S
B
190 mV/dec
Vds=-0.1 V
Vds=-0.3 V
Vds=-0.5 V
Vds=-0.8 V
Vds=-1 V
Ids (A/μm)
Vgs (V)
C
Vgs from -2.5 V to 1 V
(0.5 V step)
Ids (mA/μm)
Vds (V)
D
Transconductance
Vds=-1 V
Conductance
Vds=-0.1 V
Gon (mS/μm)
|gm| (mS/μm)
Vgs (V)
E
This work
Silicon PMOS FETs
L-S solution CNT arrays
40 nm FETs
FESA solution CNT arrays
Solution CNT arrays
Dense random CNT films
|gm| (mS/μm)
Lg (μm)

图3高性能碳管晶体管

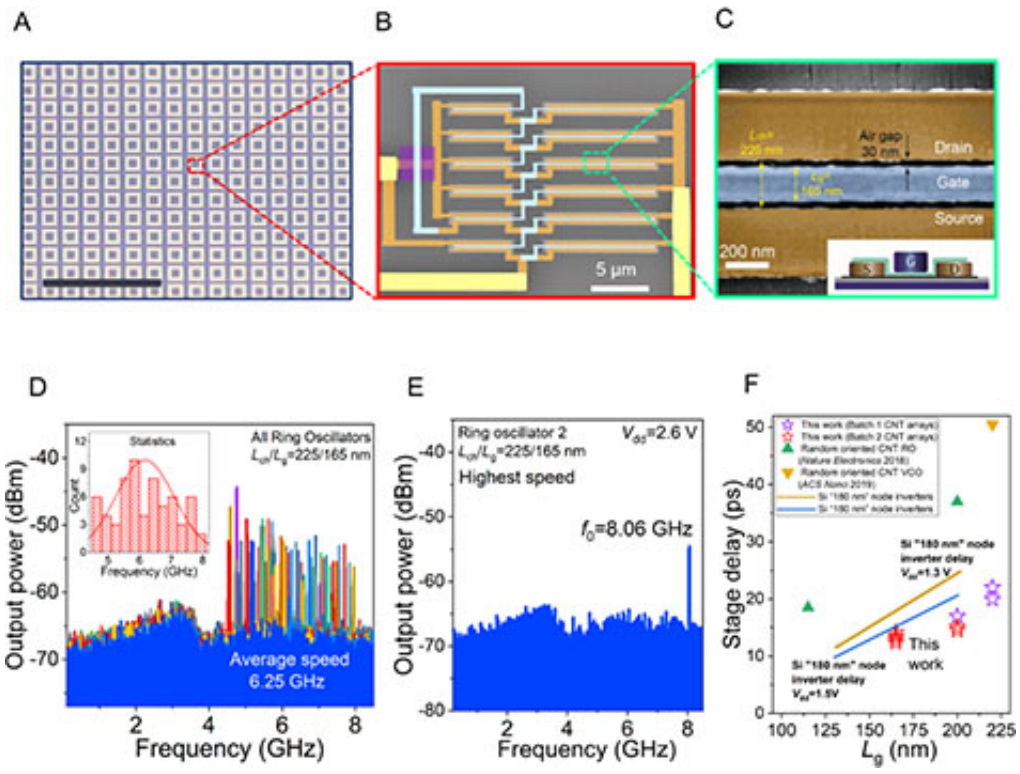


图4 碳管高速集成电路

北京大学信息科学技术学院电子学系/北京大学碳基电子学研究中心、纳米器件物理与化学教育部重点实验室教授张志勇—彭练矛课题组发展全新的提纯和自组装方法，制备高密度高纯半导体阵列碳纳米管材料，并在此基础上首次开发了性能超越同等栅长硅基CMOS技术的晶体管和电路，展现出碳管电子学的优势。5月22日，相关研究成果以《用于高性能电子学的高密度半导体碳纳米管平行阵列》为题，在线发表于《科学》。

集成电路的发展，要求互补金属氧化物半导体（CMOS）晶体管在持续缩减尺寸的同时提升性能、降低功耗。随着主流CMOS集成电路缩减到亚10 纳米技术节点，采用新结构或新材料对抗场效应晶体管中的短沟道效应，进一步提升器件能量利用效率变得愈加重要。在诸多新型半导体材料中，半导体碳纳米管具有超高的电子和空穴迁移率、原子尺度的厚度和稳定的结构，是构建高性能CMOS器件的理想沟道材料。已公开的理论计算和实验结果均表明，碳管CMOS晶体管采用平面结构即可缩减到5
纳米栅长，且较同等栅长的硅基CMOS器件具有10倍的本征性能—功耗综合优势。

碳纳米管集成电路批量化制备的前提是，实现超高半导体纯度（>99.9999%）、顺排、高密度（100～200 /纳米）、大面积均匀的碳纳米管阵列薄膜（见图1）。长期以来，材料问题的制约导致碳管晶体管和集成电路的实际性能远低于理论预期，甚至落后于相同节点的硅基技术至少一个数量级，因而成为碳管电子学领域所面临的最大技术挑战。

该课题组采用多次聚合物分散和提纯技术得到超高纯度碳管溶液，并结合维度限制自排列法，在4英寸基底上制备出密度为120 /微米、半导体纯度高达99.99995%、直径分布在1.45±0.23纳米的碳管阵列（见图2），从而达到超大规模碳管集成电路的需求。

基于这种材料，批量制备出场效应晶体管和环形振荡器电路，100
纳米栅长碳管晶体管的峰值跨导和饱和电流分别达到0.9 毫秒/微米和1.3毫安/微米（VDD=1 V，见图3），室温下亚阈值摆幅为90毫伏/倍频程；批量制备出五阶环形振荡器电路，成品率超过50%，最高振荡频率8.06千兆赫兹远超已发表的基于纳米材料的电路（见图4），且超越相似尺寸的硅基CMOS器件和电路。

该项工作突破了长期以来阻碍碳管电子学发展的瓶颈，首次在实验上显示出碳管器件和集成电路较传统技术的性能优势，为推进碳基集成电路的实用化发展奠定了基础。

据介绍，北京大学电子学系2015级博士研究生刘力俊和北京元芯碳基集成电路研究院工程师韩杰为并列第一作者，张志勇和彭练矛为共同通讯作者。（来源：中国科学报温才妃）

相关论文信息：https://doi.org/10.1126/science.aba5980

版权声明：凡本网注明来源：中国科学报、科学网、科学新闻杂志的所有作品，网站转载，请在正文上方注明来源和作者，且不得对内容作实质性改动；微信公众号、头条号等新媒体平台，转载请联系授权。邮箱：shouquan@stimes.cn。
作者：张志勇等 来源：《科学》

更多 科学进展 请访问 https://www.iikx.com/news/progress/

本文版权归原作者所有，请勿用于商业用途，爱科学iikx.com转发